

PAT-NO: JP359108341A

DOCUMENT-IDENTIFIER: JP 59108341 A

TITLE: COMPLEMENTARY TYPE METAL OXIDE
SEMICONDUCTOR FIELD
EFFECT TRANSISTOR

PUBN-DATE: June 22, 1984

INVENTOR-INFORMATION:

NAME
INAGAKI, AKIO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJI ELECTRIC CO LTD	N/A

APPL-NO: JP57218748

APPL-DATE: December 14, 1982

INT-CL (IPC): H01L027/08, H01L029/78

US-CL-CURRENT: 257/269, 257/E21.614

ABSTRACT:

PURPOSE: To reduce the area of a silicon chip to approximately a half, and to obtain the silicon chip of small chip size by utilizing not only the surface side of a silicon board but also the **back side as active** regions, each forming

the MOSFETs to both the surface side and the back side and forming the MOSFETs to a complementary shape.

CONSTITUTION: B<SP>+</SP> Ions are implanted to the N type silicon board 21 to form a P<SP>-</SP> layer 22. Oxide films 23 are formed to both surfaces through steam oxidation, and windows 24 are bored to the surface oxide film 23 while protecting the back. Boron is diffused from the windows to form P<SP>+</SP> layer regions 25, 26. Windows 27 are bored to the back oxide film 23, and phosphorus is diffused from the windows to form N regions 28, 29. Windows 30 are bored in gate regions in both surfaces. Oxide films 31 are formed to the windows 30, and the sections 32 of source and drain regions in both surfaces are removed. Aluminum films 33 are evaporated on both surfaces. The field oxide film 23 on the surface side and the aluminum film 33 among a gate electrode and source and drain electrodes are removed, and both surfaces are coated with CVD nitride films 34 for protection. Lastly, windows are bored to pad sections, and back bumps 13, 14, 15 connected to a gate electrode, a source electrode and a drain electrode are formed.

COPYRIGHT: (C)1984,JPO&Japio

DERWENT-ACC-NO: 1984-191955

DERWENT-WEEK: 198431

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Single-chip CMOS field-effect transistor - uses
bump
gate, source and drain electrodes to minimise chip size
NoAbstract Dwg 1,2/3

PATENT-ASSIGNEE: FUJI ELECTRIC MFG CO LTD[FJIE]

PRIORITY-DATA: 1982JP-0218748 (December 14, 1982)

PATENT-FAMILY:

PUB-NO MAIN-IPC	PUB-DATE	LANGUAGE	PAGES
JP 59108341 A	June 22, 1984	N/A	025
N/A			

APPLICATION-DATA:

PUB-NO DATE	APPL-DESCRIPTOR	APPL-NO	APPL-
JP 59108341A December 14, 1982	N/A	1982JP-0218748	

INT-CL (IPC): H01L027/08, H01L029/78

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: SINGLE CHIP CMOS FIELD EFFECT TRANSISTOR BUMP
GATE SOURCE DRAIN

ELECTRODE MINIMISE CHIP SIZE NOABSTRACT

DERWENT-CLASS: U13

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭59—108341

⑯ Int. Cl.³
H 01 L 27/08
29/78

識別記号

厅内整理番号
6655—5F
7377—5F

⑯ 公開 昭和59年(1984) 6月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑲ 相補型MOS電界効果トランジスタ

⑳ 特 願 昭57—218748

㉑ 出 願 昭57(1982)12月14日

㉒ 発明者 稲垣明夫

川崎市川崎区田辺新田1番1号

富士電機製造株式会社内

㉓ 出願人 富士電機製造株式会社

川崎市川崎区田辺新田1番1号

㉔ 代理人 弁理士 山口巖

明細書

1. 発明の名称 相補型MOS電界効果トランジスタ

2. 特許請求の範囲

1) シリコン基板が厚さ方向に積層されたP層とN層とからなり、各層には逆導電形のソースおよびドレイン領域がそれぞれ設けられ、シリコン基板の両面には各ソースおよびドレイン領域にまたがる酸化膜とその上に被覆されたゲートがそれぞれ設けられ、かつ一方の面のゲート、ソース、ドレインにはそれぞれパンプ電極が形成されたことを特徴とする相補型電界効果トランジスタ。

3. 発明の詳細な説明

本発明はPチャネルMOS電界効果トランジスタとNチャネル電界効果トランジスタとが同一チップ内に形成された相補型MOS電界効果トランジスタ、いわゆるCMOSに関するものである。

相補型MOS電界効果トランジスタ(FET)を同一チップ内に形成するには、従来は第1図のようにシリコン板1の一面側にPウェルと呼ばれるP⁻領域2を形成し、その中にソース、ドレイン

領域(N⁺領域)3、4を形成し、酸化膜5を介してゲート電極6を設けてNチャネルMOSFETを構成する。さらに、Pウェル2以外の領域にP⁻領域7、8を形成してソース、ドレイン領域とし、酸化膜9を介してゲート電極10を設けてPチャネルMOSFETを構成し、この両MOSFETを相補型に使用する。

しかし半導体装置の高集積化のためにはチップ寸法の縮小がつねに要求される。本発明はこの要求に応じて従来のものに比してチップ寸法を縮小した相補型MOSFETを提供することを目的とする。

この目的は、シリコン基板が厚さ方向に積層されたP層とN層とからなり、各層には逆導電形のソースおよびドレイン領域がそれぞれ設けられ、シリコン基板の両面には各ソースおよびドレイン領域にまたがる酸化膜とその上に被覆されるゲートがそれぞれ設けられ、かつ一方の面のゲート、ソース、ドレインにはそれぞれパンプ電極が形成されることによつて達成される。

以下図を引用して本発明の実施例について説明

する。第2図に明らかなように本発明によるOMOSは裏面(上側)に形成されたPチャネルMOSFET 11と裏面(下側)に形成されたNチャネルMOSFET 12よりなる。NチャネルMOSFET 12のゲート5およびソース、ドレイン領域3,4にはそれぞれバンプ電極13,14,15が形成され、基板上の配線導体との接続に使用される。裏面側のPチャネルMOSFET 11と基板との接続は通常のワイヤボンド法で行う。第3図(A)～(D)は具体的な製造工程を示す。N形シリコン板21に P^+ イオンを注入、ドライブインにより第3図(A)に示すように P^- 層22を形成する。次にスチーム酸化により両面に酸化膜23を形成した後、裏面を保護し表面酸化膜23に光触刻法により第3図(B)に示す窓24を明ける。第3図(C)では、この窓よりほう素を拡散して P^+ 領域25,26を形成する。つづいて裏面酸化膜23に第3図(D)に示す窓27を明け、この窓よりりんを拡散してN領域28,29を形成する。次に第3図(E)に示すように両面に光触刻法を施してゲート領域に窓30を明ける。

- 3 -

図は本発明の一実施例の断面図、第3図(A)～(D)はその製造工程を順次示す断面図である。

11:PチャネルMOSFET、12:NチャネルMOSFET、13,14,15:バンプ電極。

この窓30に酸膜31を形成し、第3図(F)に示すように両面のソース、ドレイン領域の部分32を除去する。つづいて第3図(G)に示すように裏面にアルミニウム膜33を蒸着する。次に第3図(H)に示すように裏面側のフィールド酸化膜23上ならびにゲート電極とソース、ドレイン電極間のアルミニウム膜33を除去し、両面を保護用UV-D酸化膜34で被る。最後にパッド部分に窓をあけゲート電極、ソース電極、ドレイン電極に接続する裏面バンプ13,14,15を設けることにより第2図と同様な第3図(I)に示すチップができる上がる。

以上述べたように本発明はシリコン板の裏面側だけでなく裏面側も能動領域として利用してそれぞれMOSFETを形成し相補型とするもので、これによりシリコンチップ面積を約1/2にすることができる、チップサイズの小さい相補形MOSFETのチップとして有効に使用することができる。

4. 裏面の簡単な説明

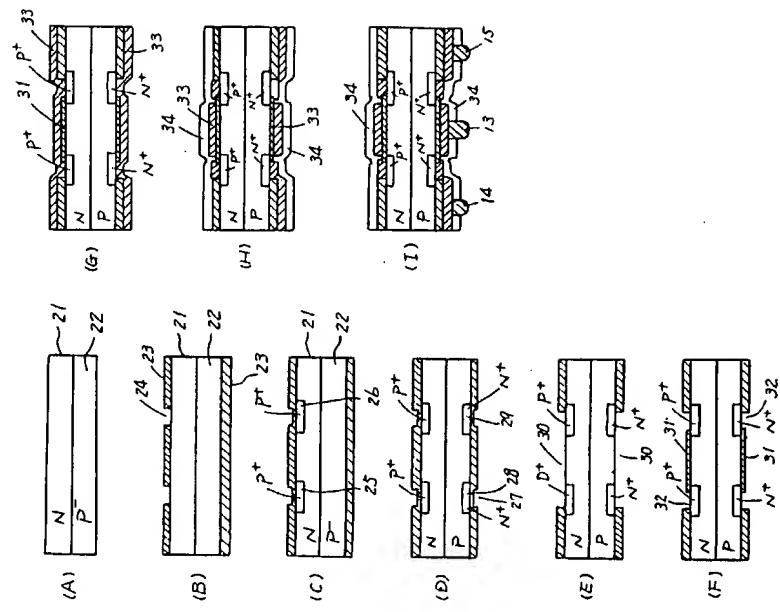
第1図は従来の相補形MOSFETの断面図、第2

- 4 -

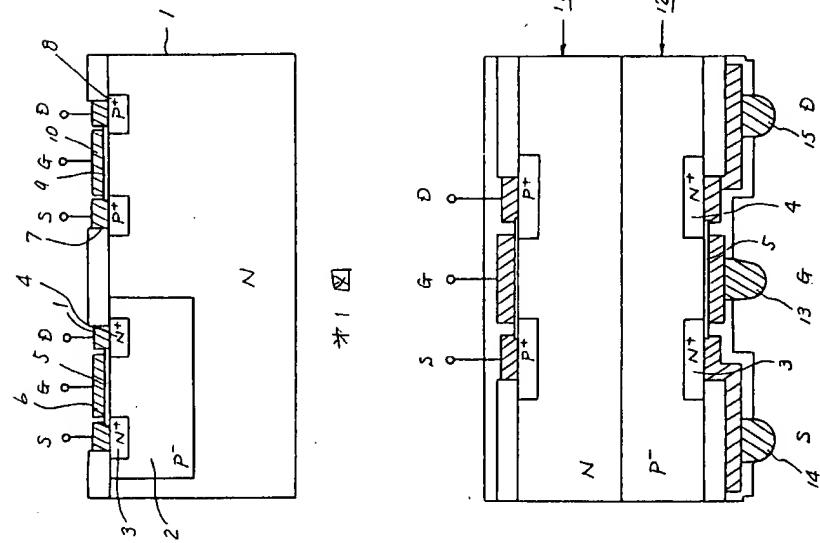
代理人井理士 山口 雄

- 5 -

—184—



才 3 四



卷二